

Pertinent part

- page 4, right upper column, lines 5~11:

The superimposing circuit 41 creates the information $(AP_1 AP_2)AP_2$ where the second image plane is superimposed on AP_1 of the first image plane, and sends it to the display 43. The superimposing circuit 42 creates the information $((AP_1 AM_2)AP_2)AM_3)AP_3$ where the third image plane is superimposed on the information $(AP_1 AP_2)AP_2$, and sends it to the display 43. Thus, the display information superimposed in the desired order is sent to the display 43.

⑫ 公開特許公報 (A)

昭61-275792

⑬ Int.Cl.

G 09 G 1/02
G 06 F 3/153
G 09 G 1/16

識別記号

厅内整理番号

⑬ 公開 昭和61年(1986)12月5日

7923-5C
7341-5B
8121-5C

審査請求 未請求 発明の数 1 (全6頁)

⑭ 発明の名称 表示装置

⑬ 特願 昭60-116712

⑬ 出願 昭60(1985)5月31日

⑭ 発明者 藤田孝行 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

⑭ 出願人 キヤノン株式会社 東京都大田区下丸子3丁目30番2号

⑭ 代理人 弁理士 大塚康徳

明細書

1. 発明の名称

表示装置

2. 特許請求の範囲

(1) 少なくとも2つの独立した画像情報を表示可能な表示装置であつて、前記画像情報を格納する少なくとも2つの表示メモリと、前記表示メモリの有効表示領域を指示するマスクメモリと、前記画像情報の表示順序を決定する表示順序決定手段とを備え、前記表示メモリに対応する各マスクメモリによつて指示された前記表示メモリの領域を、前記表示順序決定手段によつて決定された順序で表示するようにしたことを特徴とする表示装置。

(2) 表示順序決定手段は、表示順序を決定する2次の正方行列情報を格納する格納手段を備え、

前記格納手段は書き換え可能であることを特徴とする特許請求の範囲第1項記載の表示装置。

(3) 格納手段の2次の正方行列の次数は、表示メモリの数に対応していることを特徴とする特許請求の範囲第2項記載の表示装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は一画面に複数の独立した画像情報を表示可能な表示装置に関する。

〔開示の概要〕

本明細書及び図面は、一画面上に複数の独立した画像情報を表示可能な表示装置において、少なくとも2つの独立した画像情報を表示可能な表示装置であつて、前記画像情報を格納する少なくとも2つの表示メモリと、前記表示メモリの有効表示領域を指示するマスクメモリと、前記画像情報の表示順序を決定する表示順序決定手段とを備え、前記表示メモリに対応する各マスクメモリによつて指示された前記表示メモリの領域を、前記表示順序決定手段によつて決定された順序で表示するようにし、一画面上に表示された複数の画像

の表示順序を高速に変更可能な表示装置の技術を開示するものである。

〔従来の技術〕

従来、複数の画像情報を重ね合わせてCRT等に表示する場合、第1の方法としては、ソフトウェアの処理によりこれら画像の表示情報を目的とする表示順序に重ね合わせた結果を一画面分の表示用メモリ上に作成し、CRT等に表示していた。又、第2の方法としては、複数の独立した画像情報毎に表示メモリを持ち、その表示メモリの重ね合わせの順序が回路により固定されており、その順序に従つて各画像情報を重ね合わせることによりCRT等に表示していた。しかし、前述の第1の手法では、ソフトウェアの処理に多くの時間を必要とし、重ね合わせの順序を入れ換えると、例えばある画像の表示情報を上下左右にずら

したりする場合、新しい重ね合わせの結果の画像情報を作成するのに長い時間を要する。

又、第2の手法では画像の重ね合わせの順序が固定されてしまつてゐるため、重ね合わせの順序を入れ換えるためには、その各画像の表示メモリを書き換えて、目的の重ね合わせ順になる様にする必要があり、これは大量の情報を書き換えるため多くの処理時間を要する。

この様に従来の技術では、一画面上に複数の独立した画像表示を行う多重画表示で、各画像の重ね合わせ順序を入れ換へたり、重ね合わせられた各画像にさらに画像を生成、消滅させるには多くの時間を要するという欠点があつた。

〔発明が解決しようとする問題点〕

本発明は上記従来例に鑑みてなされたもので、一画面上に表示された複数の画像の表示順序を高

速に変更可能な表示装置を提供することにある。

〔問題点を解決するための手段〕

この問題を解決する一手段として、例えば第1図に示す実施例の表示装置は、画像情報を格納する表示メモリ12, 22, 32と、前記表示メモリの有効表示領域を指示するマスクメモリ11, 21, 31と、前記画像情報の表示順序を決定する表示順序決定手段としてのマトリクス回路30を備える。

〔作用〕

かかる第1図の構成において、表示メモリ12, 22, 32に対応する各マスクメモリ11, 21, 31によつて指示された表示メモリ12, 22, 32の有効領域を、マトリクス回路30によつて決定された表示順序で表示部43に

送出し表示する。

【実施例】

以下、断面図面に従つて本発明の実施例を詳細に説明する。

【表示装置の構成図(第1図)】

第1図は本発明に係る一実施例の表示装置の構成図を示したもので、この例では3画面を表示する場合の構成を示している。

図中10は装置全体を制御する制御部で、マイクロプロセッサ100やROM101、RAM102等を備えている。11、21、31は各画面に対応したマスクメモリ、12、22、32は各画面に対応した表示メモリで、これらはいずれも各メモリの1ビットが画面の1ビットに対応し、各表示メモリ12、22、32のビットが1のときはそのドットが点灯し、ビットが0のときは消

灯するようになつていて、各々のメモリは画面のドットサイズ分の容量を有している。また各マスクメモリ11、21、31のビットが1のときはその画面より下の画面の情報を有効にし、0のときは下の画面の情報を無効にして、その画面の表示情報を有効にすることを意味している。

30は上記3画面分の表示メモリとマスクメモリの表示順序、即ち重ね合わせ順序を決定するマトリクス回路で、3画面が表示可能な場合には 3×3 ビット、本例の3画面の場合には 3×3 ビットのメモリ33を有し、上記3画面分のマスク情報ビット(M_1, M_2, M_3)、表示情報ビット(P_1, P_2, P_3)を入れ換えて3画面分の出力($AM_1 \sim AM_3, AP_1 \sim AP_3$)を出力する。41、42は重ね合わせ回路、43はCRT等の表示器、50はメモリ33を書き換える

バスラインである。

いま 3×3 の変換マトリクスを($A[1]$)で表わすと、

$$\begin{bmatrix} A_{1,1} & A_{1,2} & A_{1,3} \\ A_{2,1} & A_{2,2} & A_{2,3} \\ A_{3,1} & A_{3,2} & A_{3,3} \end{bmatrix} \begin{bmatrix} P_1 \\ P_2 \\ P_3 \end{bmatrix}$$

$$= \begin{bmatrix} A_{1,1} \cdot P_1 + A_{1,2} \cdot P_2 + A_{1,3} \cdot P_3 \\ A_{2,1} \cdot P_1 + A_{2,2} \cdot P_2 + A_{2,3} \cdot P_3 \\ A_{3,1} \cdot P_1 + A_{3,2} \cdot P_2 + A_{3,3} \cdot P_3 \end{bmatrix}$$

$$= \begin{bmatrix} AP_1 \\ AP_2 \\ AP_3 \end{bmatrix}$$

今、例えば($A[1]$)を

$$\begin{bmatrix} 0 & 1 & 0 \\ 1 & 0 & 0 \\ 0 & 0 & 1 \end{bmatrix}$$

とすると、 $AP_1 = P_2, AP_2 = P_1, AP_3 = P_3$ となり重ね合わせ順序を P_2, P_1, P_3 の順序で行なう様に、重ね合わせ回路41、42に出力した事になる。同様の変換は(M_1, M_2, M_3) \rightarrow (AM_1, AM_2, AM_3)に対しても行なわれる。

第2図は上記重ね合わせ順序で表示した画面の一例を示したもので、上記の順序に従い P_3 の情報を表示する画面13、 P_1 の情報を表示する画面14、 P_2 の情報を表示する画面15の順に表示されている。

【マトリクス回路の説明(第1図)(第3図)】

第3図は上記マトリクス演算を実現するマトリ

クス回路30の例である。図中、 $A_{11} \sim A_{33}$ は 3×3 のマトリクスを記憶するメモリ33の各1ビットを示し、入力 P_1, P_2, P_3 は3画面分の表示メモリ12, 22, 32からの入力。 AP_1, AP_2, AP_3 が入れ換えた後の3画面の出力データである。 $300 \sim 308$ はANDゲート回路、 $309 \sim 311$ はORゲート回路である。また各マスクメモリ11, 21, 31よりの入力情報 M_1, M_2, M_3 も第3回路と全く同様の回路構成の回路により変換され、前述と同様の変換マトリクス(A_{11})の場合は $AM_1 = M_2, AM_2 = M_1, AM_3 = M_3$ となる。

このマトリクス回路30により $A_{11} \sim A_{33}$ の値に応じて、3画面分の入力情報 $P_1, M_1, P_2, M_2, P_3, M_3$ は順序が入れ換えられ、 $AP_1, AM_1, AP_2, AM_2, AP_3, AM_3$

路30のメモリ33のマトリクス情報 $A_{11} \sim A_{33}$ を書き換える事ができる。その事により前述した作用に基づき画面の重ね合わせ順序即ち表示順序を変更する事ができる。

【制御部の動作フローチャートの説明】

(第1図) (第4図)

第4図は制御部10の動作フローチャートを示したもので、例えば図示しない入力部等よりの入力情報により動作が開始される。まずステップS1で入力した情報が画面の表示データの変更情報かどうかを見る。変更情報のときはステップS2に進み対応する画面の表示メモリ(12, 22, 32のいずれか)を変更する。一方、ステップS1で表示データの変更でないときはステップS3に進み、画面の生成又は消去の指示かどうかを見る。その場合はステップS4に進み、対応する画

AM_3 となつて出力される。 AP_1, AM_1 は最も下になる画面であるため、それより下の面の情報の有効、無効を決める AM_1 の信号は不要である。

41は第1面の AP_1 の上に第2面を重ねた情報(AP_1, AP_2) AP_2 を作り、又42はさらにその上に第3面を重ねた情報((AP_1, AM_2) AP_2) AM_3) AP_3 を作り、表示部43に送る重ね合わせ回路である。この様にして、表示部43には目的の順序で重ね合わせられた表示情報が送られる。

一方、制御部10は51, 52, 53のデータバスを通じて3つの表示メモリ12, 22, 32及びマスクメモリ11, 21, 31を読み書きでき表示部の表示内容を変更する事ができる。又、50のデータバスを通じて第3回のマトリクス回

面のマスクメモリ(11, 21, 31のいずれか)を書き換える。ステップS3でそれ以外の指示のときはステップS5に進み、画面の表示位置の変更かを見る。そうでなければステップS6に進み対応するその他の処理を行う。表示位置の変更指示のときはステップS7に進みマトリクス回路30のメモリ33の変換マトリクスの内容をバス60を通して書き換えて画面の重ね合わせ順序を決定する。

なお本実施例では3画面の場合について説明したがこれに限定されるものでない。また各マスクメモリは表示用メモリと同じ構成であるとして説明したが、表示画面上のライン数またはカラム数によって指定するようにしても良い、また表示用メモリのアドレスによって表示メモリの有効、無効を指示するようにしても良い。

【発明の効果】

以上説明したように本発明によれば、極めて容易に且つ高速に、各表示画面の表示順序を変更する事ができるという効果がある。

ト回路である。

特許出願人

キャノン株式会社

代理人 井理士

大坂辰徳



4. 図面の簡単な説明

第1図は本発明の一実施例の表示装置の構成

図。

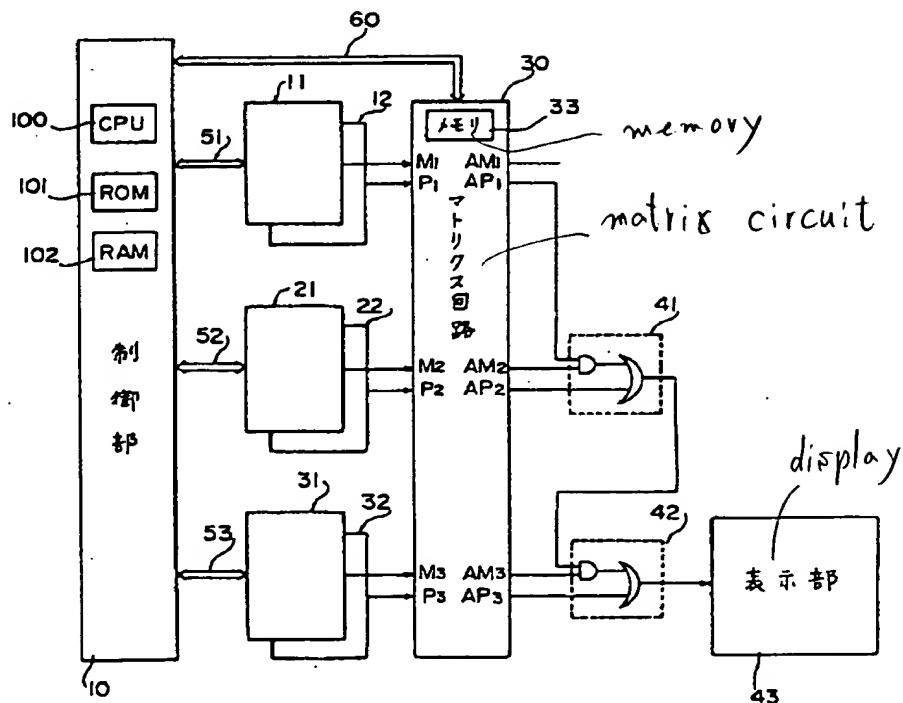
第2図は表示の一例を示す図。

第3図はマトリクス回路図。

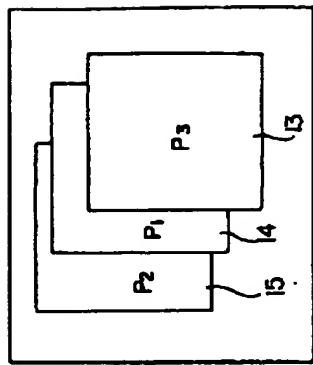
第4図は制御部の動作を示すフローチャート図である。

図中、100…制御部、101…CPU、102…ROM、103…RAM、10…マトリクス回路、11…マトリクスメモリ、12…マトリクス回路、13…マトリクス回路、14…マトリクス回路、15…マトリクス回路、16…マトリクス回路、17…マトリクス回路、18…マトリクス回路、19…マトリクス回路、20…マトリクス回路、21…マトリクスメモリ、22…マトリクス回路、23…マトリクス回路、24…マトリクス回路、25…マトリクス回路、26…マトリクス回路、27…マトリクス回路、28…マトリクス回路、29…マトリクス回路、30…マトリクス回路、31…マトリクスメモリ、32…マトリクス回路、33…マトリクス回路、34…マトリクス回路、35…マトリクス回路、36…マトリクス回路、37…マトリクス回路、38…マトリクス回路、39…マトリクス回路、40…マトリクス回路、41…マトリクス回路、42…マトリクス回路、43…マトリクス回路、44…マトリクス回路、45…マトリクス回路、46…マトリクス回路、47…マトリクス回路、48…マトリクス回路、49…マトリクス回路、50…マトリクス回路、51…マトリクス回路、52…マトリクス回路、53…マトリクス回路、54…マトリクス回路、55…マトリクス回路、56…マトリクス回路、57…マトリクス回路、58…マトリクス回路、59…マトリクス回路、60…マトリクス回路、61…マトリクス回路、62…マトリクス回路、63…マトリクス回路、64…マトリクス回路、65…マトリクス回路、66…マトリクス回路、67…マトリクス回路、68…マトリクス回路、69…マトリクス回路、70…マトリクス回路、71…マトリクス回路、72…マトリクス回路、73…マトリクス回路、74…マトリクス回路、75…マトリクス回路、76…マトリクス回路、77…マトリクス回路、78…マトリクス回路、79…マトリクス回路、80…マトリクス回路、81…マトリクス回路、82…マトリクス回路、83…マトリクス回路、84…マトリクス回路、85…マトリクス回路、86…マトリクス回路、87…マトリクス回路、88…マトリクス回路、89…マトリクス回路、90…マトリクス回路、91…マトリクス回路、92…マトリクス回路、93…マトリクス回路、94…マトリクス回路、95…マトリクス回路、96…マトリクス回路、97…マトリクス回路、98…マトリクス回路、99…マトリクス回路。

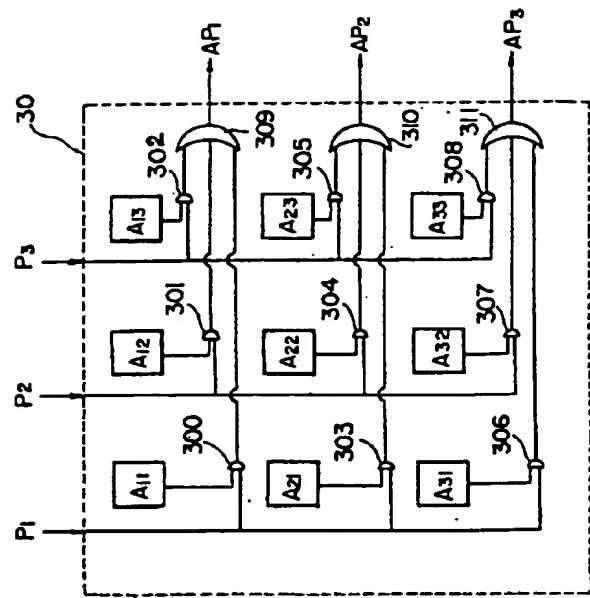
第1図



第2図



第3図



第4図

